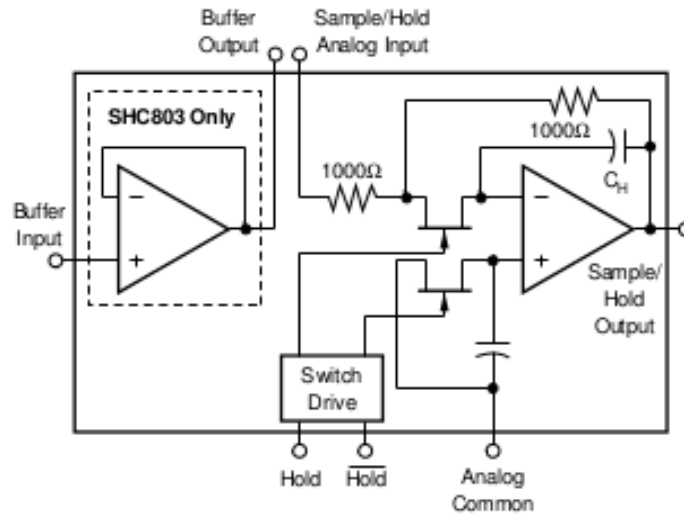


FUNDAMENTOS DE INSTRUMENTACIÓN ELECTRÓNICA

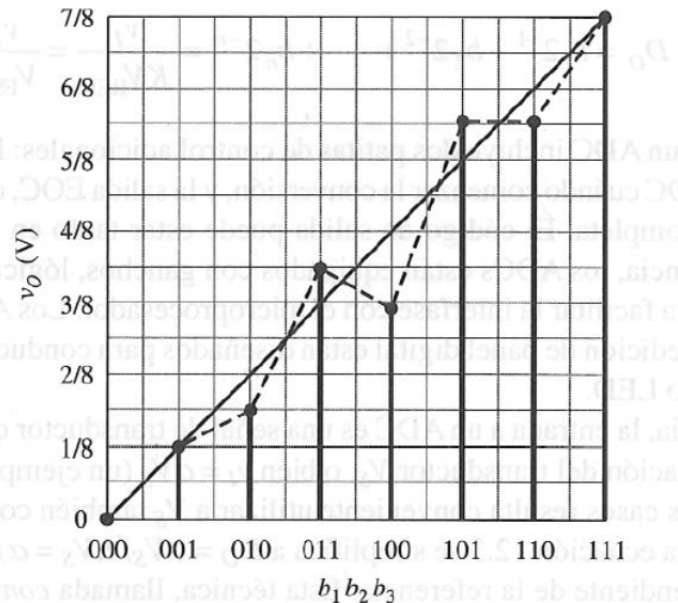
ADQUISICIÓN DE DATOS

1. El circuito mostrado en la figura corresponde al esquemático del circuito comercial SHC803/SCH804, un circuito de muestreo y retención. Haciendo uso de sus hojas de características, obtener:
 - a. La ganancia en lazo abierto del segundo amplificador operacional (se asume que el primer amplificador operacional no se usa).
 - b. El valor del condensador de retención C_H asumiendo que la respuesta en frecuencia está limitada por las resistencias que se muestran en la figura y por el condensador C_H .

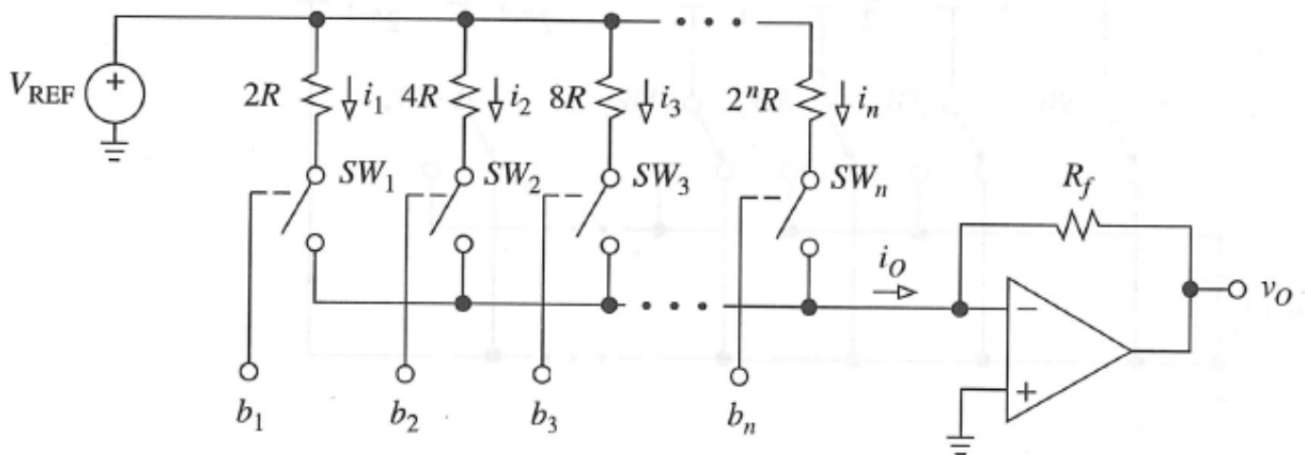
Los transistores JFET del esquemático considerarlos como meros circuitos conmutadores (dos posiciones: abierto y cerrado) e ignorar el segundo condensador y el conmutador que está en paralelo con él. Asumir el pin no inversor del amplificador conectado a tierra. Usar las hojas de especificaciones eléctricas del circuito integrado para extraer los datos necesarios.



2. Encontrar los errores INL y DNL del DAC de la figura. ¿Qué otros errores presenta?



3. Un DAC de 6 bits del tipo mostrado en la figura (escalado de corrientes mediante escalado de resistencias) bien calibrado se realiza con $V_{REF} = 1,600 \text{ V}$, pero con $R_f = 0,99R$ en lugar de $R_f = R$ y un amplificador operacional de baja calidad que tiene $V_{os} = 5 \text{ mV}$ y $A_v = 200 \text{ v/v}$.
- Encontrar los errores de offset y de ganancia del DAC en fracciones de 1 LSB.
 - ¿Cuál es el valor de la tensión de salida en el peor de los casos cuando todos los bits se establecen a '1'?
 - ¿Qué errores de linealidad poseerá este convertidor?



4. Un DAC de 4 bits del tipo mostrado en la figura del problema 3 (escalado de corrientes mediante escalado de resistencias) se realiza con $V_{REF} = -3,200 \text{ V}$ y un amplificador operacional de alta calidad, pero con valores de resistencias aproximados, es decir, $R_f = 9,0 \text{ K}\Omega$ en lugar de $10 \text{ K}\Omega$, $2R = 22 \text{ K}\Omega$ en lugar de $20 \text{ K}\Omega$, $4R = 35 \text{ K}\Omega$ en lugar de $40 \text{ K}\Omega$, $8R = 50 \text{ K}\Omega$ en lugar de $80 \text{ K}\Omega$ y $16R = 250 \text{ K}\Omega$ en lugar de $160 \text{ K}\Omega$.
- Determinar el error de offset y de ganancia de este DAC. ¿Qué valor de R_f deberíamos poner para cancelar el error de ganancia?
 - Determinar también los errores de linealidad diferencial e integral. ¿Qué otro tipo de error presenta este convertidor?
5. Usualmente un ADC de aproximaciones sucesivas (SA) suele estar precedido por un circuito de muestreo y retención (SHA). Sin embargo, si la entrada posee una frecuencia lo suficientemente baja de forma que su valor cambie en menos de $\pm \frac{1}{2} \text{ LSB}$ durante el ciclo de conversión, entonces el SHA no es necesario.
- Demostrar que una señal senoidal que cambie a fondo de escala se puede convertir sin tener que usar un SHA siempre y cuando su frecuencia esté por debajo de $f_{m\acute{a}x} = \frac{1}{2^n \pi t_{SAC}}$, donde t_{SAC} es el tiempo que el SA ADC requiere para hacer una conversión.
 - Encontrar $f_{m\acute{a}x}$ para un SA ADC de 8 bits que opera a la velocidad de 10^6 conversiones por segundo. ¿Cómo cambia $f_{m\acute{a}x}$ si el SA ADC está precedido por un SHA ideal?

6. Considerar un ADC por redistribución de carga del tipo mostrado en la figura con $n = 4$, $V_{REF} = 3.0 \text{ V}$ y $C = 8 \text{ pF}$. Suponiendo que en el nodo V_P tiene una capacidad parásita de 4 pF hacia la tierra, encontrar los valores intermedios en V_P durante todo el proceso de conversión de $V_I = 2,00 \text{ V}$. ¿Qué código de salida se genera? ¿Cuál es el error de cuantificación cometido?

